



AFI 2800 2814
\$

DOCKET NO.: 3905

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
IN THE MATTER OF THE APPLICATION FOR PATENT

OF: Takao NAKAMURA et al.

| Art Unit: 2814

SERIAL NO.: 09/519,408

| Examiner: W. S. Louie

FILED: March 3, 2000

| Due: May 5, 2003
(with May 3, 2003 being
on a Saturday)

FOR: Semiconductor Light-Emitting
Device, Method of Manufacturing
Transparent Conductor Film and
Method of Manufacturing Compound
Semiconductor Light-Emitting Device

↑ THUS, NO TERM
EXTENSION IS
NEEDED

MS AF
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

May 5, 2003

NOTICE OF APPEAL

Dear Sir:

- 1) Applicants hereby appeal to the Board of Appeals from the Final Rejection of February 3, 2003, rejecting claims 16 and 19 to 29.
- 2) Form PTO-2038 (Credit Card Payment Form) in the amount of \$320 is enclosed to cover the Notice of Appeal official fee.

Respectfully submitted,

05/09/2003 MGBREM1 00000021 09519408

01 FC:1401

320.00 OP

Takao NAKAMURA et al.
Applicant

WFF:ar/3905
Enclosures: postcard,
Form PTO-2038

By Walter F. Fasse
Walter F. Fasse
Patent Attorney
Reg. No.: 36132
Tel. No.: 207-862-4671
Fax. No.: 207-862-4681
P. O. Box 726
Hampden, Maine 04444-0726

CERTIFICATE OF MAILING:

I hereby certify that this correspondence with all indicated enclosures is being deposited with the U. S. Postal Service with sufficient postage as first-class mail, in an envelope addressed to: COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450 on the date indicated below.

Walter F. Fasse 5/5/03
Name: Walter F. Fasse - Date: May 5, 2003



Final Decision for Rejection Issued March 25, 2003

Patent Application No. 11-181414

Patent Office Examiner: Yukihiro KONDOH

Title of the Invention: Semiconductor Light-Emitting Device

Applicant for Patent: Sumitomo Electric Industries, Ltd.

Attorney:

To Attorney, Mr. Hisao Fukami (et al.):

It is recognized that the application should be rejected on the ground described in the notice of ground of rejection of March 5, 2002.

Meanwhile, the remarks and the amendment were reviewed but no basis for overcoming the ground of rejection was found.

* * * * *

Remarks

Claims 1-6

Producing at room temperature a transparent conductive film formed of a mixture of In_2O_3 and ZnO is described in reference 4 (see paragraph 0030 in particular). Furthermore, disposing an Au electrode on Group II-VI semiconductor at room temperature is a common technique, as indicated for example in Japanese Patent Laying-open No. 9-232633 (see paragraph 0047 in particular). Reference 2 (see paragraph 0033 in particular) describes that a metal layer and a metal oxide layer are provided through different processes (without oxidization). It is obvious that on a p semiconductor layer an Au layer and a transparent conductive film can be provided at room temperature.

The applicant asserts that references 1 and 2 only describe application to Group III-V semiconductor. However, as well as Group III-V semiconductor, Group II-VI semiconductor is also well-known and commonly used, and it would not particularly be difficult to apply a structure of an electrode formed of an Au layer and a transparent conductive film to Group II-VI semiconductor. Furthermore, it is well-known that Group II-VI semiconductor is

generally susceptible to heat, and it is a matter of course to form a device at a minimum temperature.

Furthermore, providing a light emitting semiconductor device having a surface provided with a protrusion and a depression to output light more efficiently is a common technique, as described for example in references 7 and 8, and it is obvious that for a device with a transparent conductive film acting as a light outputting surface the transparent conductive film is provided with a surface having a protrusion and a depression.

Furthermore, the electrode can be formed of layers each having a thickness that is routinely set by test and measurement or other similar technological activities.

* * * * *

This is to certify that the present instrument is the same as the original copy.

Official of MITI

Mailed March 25, 2003

拒絶査定

特許出願の番号	平成11年 特許願 第181414号
起案日	平成15年 3月14日
特許庁審査官	近藤 幸浩 8422 2K00
発明の名称	半導体発光素子
特許出願人	住友電気工業株式会社
代理人	深見 久郎 (外 2名)

この出願については、平成14年 3月 5日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書および手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

・請求項 1-6 について

In_2O_3 と ZnO の混合物からなる透明導電膜を室温で形成させることは引用文献4（特に段落0030の記載を参照）に記載されている。また、2-6族半導体上に室温でAu電極を形成することは、例えば特開平9-232633号公報（特に段落0047の記載を参照）にも示されているような慣用技術である。そして、引用文献2（特に段落0033の記載を参照）には、金属層と金属酸化物層を異なる工程で（酸化処理をすることなく）形成することも記載されているので、p型半導体層上にAu膜と透明導電膜を室温で形成しうることが明らかである。

出願人は引用文献1および2には3-5族半導体への適用しか記載されていない旨主張するが、3-5族半導体と並んで2-6族半導体も周知・慣用されており、Au膜と透明導電膜からなる電極構造を2-6族半導体に対し適用することに格別な困難を伴うとも認められない。また、2-6族半導体が一般に熱に弱いことは周知事項であり、できるだけ処理温度を上げずに素子形成を行うことは当然の事項である。

また、半導体発光素子の表面に凹凸を形成することで光取り出し効率を向上させることは、例えば引用文献7及び8にも示されているような慣用技術であり、透明導電膜が光取り出し面であるものにあつては、その透明導電膜の表面に凹凸を形成することは明らかである。

また、電極を形成する各層の厚さは、試験測定など通常の技術的活動を通じて普通に設定しうる程度の事項と認められる。

発送番号 093971

発送日 平成15年 3月25日 2 / 2

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成15年 3月18日 経済産業事務官 塚本 佳雅